

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-9158

(P2002-9158A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) IntCl.	識別記号	FI	テマコード (参考)	
H01L 21/82		G06F 17/50	658V	5B046
G06F 17/50	658		666V	5F038
	666	H01L 21/82	T	5F064
H01L 27/04			L	
21/822			B	

審査請求 未請求 請求項の数17 OL (全 13 頁) 最終頁に続く

(21) 出願番号 特願2000-187803(P2000-187803)

(22) 出願日 平成12年6月22日 (2000.6.22)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 矢野 純一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100086737

弁理士 岡田 和秀

Fターム (参考) 5B046 AA08 BA04 JA03

5F038 BH03 BH19 CA17 CD02 CD14

EZ09 EZ20

5F064 AA04 CC23 EE43 EE45 EE52

HH06 HH10 HH12

BEST AVAILABLE COPY

(54) 【発明の名称】 半導体集積回路の設計方法におけるノイズ解析方法、ノイズ低減方法、ノイズ耐性向上方法およびレイアウト設計方法

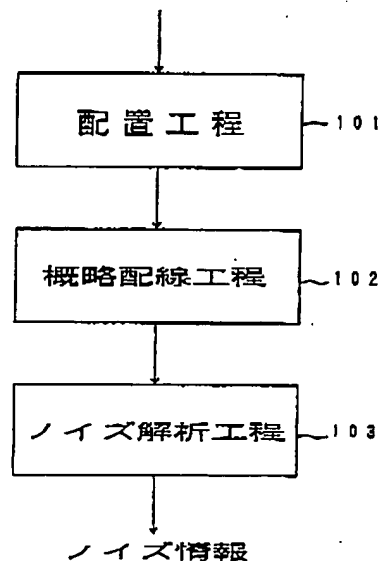
(57) 【要約】

【課題】 半導体集積回路の設計方法において、ノイズ低減やノイズへの耐性を大きくすることによって、レイアウト設計後のレイアウトの大幅な変更ややり直しは不要となし、また不必要な部分においてまで対策することに起因して面積が大きくなってしまわないようにする。

【解決手段】 標準セルの配置、概略配線を行った後、詳細配線を行って一旦レイアウトを完了する前の段階で、標準セルの配置情報および概略配線情報を使用してノイズの解析を行う。すなわち、レイアウト完了前にノイズ解析を行うことにより、レイアウトの設計後においてノイズの解析を行うことに起因するレイアウトの大幅な変更を未然に防ぐとともに、レイアウト設計前におけるノイズ低減対策等の必要性をなくし、不必要な部分においてまで対策することに起因して面積が大きくなってしまわないことを避けることができる。

ノイズ解析方法

ネットリスト、標準セルライブラリ



(2)

特開2002-9158

1

【特許請求の範囲】

【請求項1】 標準セルの配置を行う配置工程と、前記配置工程で配置された標準セルに対して概略配線を行う概略配線工程と、前記配置工程および概略配線工程によって得られた標準セルの配置情報および概略配線情報を使用してノイズの解析を行うノイズ解析工程とを含むことを特徴とする半導体集積回路の設計方法におけるノイズ解析方法。

【請求項2】 前記ノイズ解析工程は、前記標準セルの配置情報に基づいて前記標準セルの電源線および接地線に流れる電流を計算し、発生するノイズを計算し、前記ノイズが前記標準セルの周囲に与える影響を計算することを特徴とする請求項1に記載のノイズ解析方法。

【請求項3】 前記ノイズ解析工程は、前記標準セルの配置情報と概略配線情報とに基づいて各信号配線に流れる電流を計算し、発生するノイズを計算し、前記ノイズが前記各信号配線の周囲に与える影響を計算することを特徴とする請求項1に記載のノイズ解析方法。

【請求項4】 前記ノイズ解析工程は、前記標準セルの配置情報と概略配線情報とに基づいて前記標準セルの電源線または接地線または信号配線にノイズが乗った場合の前記標準セルの動作への影響を計算することを特徴とする請求項1に記載のノイズ解析方法。

【請求項5】 前記概略配線工程による概略配線は、レイアウト設計を行う領域を複数の小領域に分割し、各配線がどの前記小領域を通過するかを指定することを特徴とする請求項1から請求項4までのいずれかに記載のノイズ解析方法。

【請求項6】 前記の請求項1から請求項5までのいずれかに記載のノイズ解析方法を行うノイズ解析工程と、前記ノイズ解析工程によるノイズ解析の結果得られたノイズ情報を使用してノイズの発生を低減するノイズ低減工程とを含むことを特徴とする半導体集積回路の設計方法におけるノイズ低減方法。

【請求項7】 前記ノイズ低減工程は、前記標準セルの電源線および接地線に発生するノイズが前記標準セルの周囲に与える影響が大きい標準セルの周囲に容量を挿入することを特徴とする請求項6に記載のノイズ低減方法。

【請求項8】 前記ノイズ低減工程は、前記標準セルの電源線および接地線または前記標準セルに接続される信号配線に発生するノイズが前記標準セルの周囲に与える影響が大きい標準セルを、電源線および接地線または標準セルに接続される信号配線に発生するノイズが少ない標準セルに置換することを特徴とする請求項6に記載のノイズ低減方法。

【請求項9】 前記ノイズ低減工程は、前記各信号配線が発生するノイズが前記各信号配線の周囲に与える影響が大きい信号配線の周囲に容量を挿入することを特徴とする請求項6に記載のノイズ低減方法。

2

【請求項10】 前記の請求項1から請求項5までのいずれかに記載のノイズ解析方法を行うノイズ解析工程と、前記ノイズ解析工程によるノイズ解析の結果得られたノイズ情報を利用してノイズに対する耐性を向上するノイズ耐性向上工程とを含むことを特徴とする半導体集積回路の設計方法におけるノイズ耐性向上方法。

【請求項11】 前記ノイズ耐性向上工程は、前記標準セルの電源線および接地線または標準セルに接続される信号配線にノイズが乗った場合の前記標準セルの動作への影響が大きい標準セルの周囲に容量を挿入することを特徴とする請求項10に記載のノイズ耐性向上方法。

【請求項12】 前記ノイズ耐性向上工程は、前記標準セルの電源線および接地線または標準セルに接続される信号配線にノイズが乗った場合の前記標準セルの動作への影響が大きい標準セルを、ノイズ耐性が大きい標準セルに置換することを特徴とする請求項10に記載のノイズ耐性向上方法。

【請求項13】 前記ノイズ耐性向上工程は、前記各信号配線にノイズが乗った場合の前記標準セルの動作への影響が大きい信号配線に対して、その周辺の配線を一定以上離す制約を付加することを特徴とする請求項10に記載のノイズ耐性向上方法。

【請求項14】 前記ノイズ耐性向上工程は、前記各信号配線にノイズが乗った場合の前記標準セルの動作への影響が大きい信号配線に対して、その周辺の配線と配線層を変える制約を付加することを特徴とする請求項10に記載のノイズ耐性向上方法。

【請求項15】 前記ノイズ耐性向上工程は、前記小領域を通過する信号配線にノイズが乗った場合の前記標準セルの動作への影響が大きい信号配線に対して、その周辺の配線と配線層を変える制約を付加することを特徴とする請求項10に記載のノイズ耐性向上方法。

【請求項16】 前記の請求項6から請求項15までのいずれかに記載のノイズ低減工程とノイズ耐性向上工程のうちの少なくとも一方の工程によってノイズ低減とノイズ耐性向上の少なくとも一方を行った後において、詳細配線工程によって詳細配線を行うことを特徴とする半導体集積回路の設計方法におけるレイアウト設計方法。

【請求項17】 前記ノイズ耐性向上方法によって付加された制約を使用して前記詳細配線工程によって詳細配線を行うことを特徴とする請求項16に記載のレイアウト設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、標準セルライブラリを用いる半導体集積回路の設計方法において行うノイズ解析方法、ノイズ低減方法、ノイズ耐性向上方法およびレイアウト設計方法に関する。

【0002】

【従来の技術】 近年のデジタル回路の進歩により、回

(3)

特開2002-9158

3

路の高速化、高集積化、さらにはその動作電圧の低下がますます進んでいる。回路の高速化、高集積化、その動作電圧の低下が進むことによって、回路内部から発生するノイズおよび回路外部から入ってくるノイズによって回路が誤動作する等の影響を受けやすくなっており、ノイズ放射の抑制および耐ノイズ性能の向上が重要になってきている。

【0003】回路のノイズ放射の抑制および耐ノイズ性能の向上のために、従来の設計方法では、レイアウト設計において、各標準セルをノイズ放射の少ないものとしたり、各標準セルを耐ノイズ性能の高いものにしたり、レイアウト設計後にノイズ解析を行い、ノイズ放射の抑制や耐ノイズ性能の向上を行ったりするといった工夫がとられていた。なお、標準セルとは、論理回路の標準的な単位（例えば論理和や論理積や否定）で設計された半導体回路である。

【0004】図10に従来のレイアウト設計フローを示す。

【0005】図10において、1001は配置工程、1002は概略配線工程、1003は詳細配線工程、1004はノイズ解析工程、1005はノイズ低減・ノイズ耐性向上工程である。配置工程1001と概略配線工程1002と詳細配線工程1003とでもって、一応のレイアウト設計は終了している。端的にいうと、詳細配線工程を行えば、レイアウト設計は一応終了するという事である。

【0006】次いで、そのレイアウト設計が終了した半導体集積回路において、ノイズ解析工程1004とノイズ低減・ノイズ耐性向上工程1005とを実施することにより、必要に応じて、レイアウトの修正ややり直しを行う。

【0007】以上のようなレイアウト設計フローによるレイアウト設計においては、レイアウト設計後において、ノイズ解析工程1004によって回路自身が放射するノイズや回路が外部から受けるノイズにより誤動作等が起こらないか否かを解析し、誤動作等が起こると判定された部分に対しては、ノイズ低減・ノイズ耐性向上工程1005によって、ノイズの低減やノイズへの耐性向上を行う。

【0008】ノイズ発生の低減には、容量をノイズ発生源の近辺に配置するとか、駆動能力の低いノイズ発生量の少ない標準セルに置換する等の手法が採られる。

【0009】また、ノイズへの耐性向上には、ノイズの影響を受けやすい部分の近辺に容量を配置するとか、ノイズの影響を受けやすい配線とノイズを多く発生する配線との間の容量を小さくする等の手法が採られる。

【0010】

【発明が解決しようとする課題】しかしながら、図10に示したような従来のレイアウト設計フローによるレイアウト設計においては、レイアウト設計が一旦終了した

4

後に、ノイズの解析を行い、ノイズ低減やノイズへの耐性向上を行うため、ノイズ低減やノイズへの耐性向上を行うための容量挿入や、線間容量を小さくするのに必要なレイアウトの修正をするためには、レイアウトの大幅な修正が必要であったり、あるいは完全にレイアウトのやり直しをする必要がある場合があった。

【0011】また、この問題に対処するために、レイアウト設計前にあらかじめ標準セルにノイズ低減対策を行ったり、ノイズへの耐性を大きくする等の方法を行ったり、レイアウト設計の配置工程1001で容量の挿入を行ったりする方法もある。しかし、この場合には、ノイズ低減をしたりノイズへの耐性を大きくしたりする必要のない部分にまでその対策を行うこととなっているため、面積が大きくなってしまいう問題があった。

【0012】以上の従来の問題点を鑑み、本発明の半導体集積回路の設計方法において、ノイズ低減やノイズへの耐性を大きくすることによって、レイアウト設計後のレイアウトの大幅な変更ややり直しは不要となし、また不必要な部分においてまで対策をすることに起因して面積が大きくなってしまいうことがないようにすることを目的としている。

【0013】

【課題を解決するための手段】上記した課題の解決を図ろうとする半導体集積回路の設計方法におけるノイズ解析方法についての本発明は、配置工程によって標準セルの配置を行い、概略配線工程によって概略配線を行った後において、詳細配線工程を実行するのではなく、詳細配線工程に移行する前段階の処置として、ノイズ解析工程をおき、このノイズ解析工程によって、前記の配置工程および概略配線工程によって得られた標準セルの配置情報および概略配線情報を使用して、ノイズの解析を行うこととしたものである。

【0014】すなわち、このノイズ解析方法によれば、レイアウト完了前にノイズ解析を行うことにより、レイアウト設計後におけるレイアウトの大幅な変更を未然に防ぐことができる。また、レイアウト設計前においてはノイズ低減対策等を行わないため、不必要な部分においてまで対策をすることに起因して面積が大きくなってしまいうことを避けることができる。

【0015】また、上記した課題の解決を図ろうとする半導体集積回路の設計方法におけるノイズ低減方法についての本発明は、上記したノイズ解析方法によるノイズ解析を行った後において、詳細配線工程に移行する前段階の処置として、ノイズ低減工程をおき、このノイズ低減工程によって、前記ノイズ解析の結果得られたノイズ情報を使用して、ノイズの発生を低減することとしたものである。

【0016】すなわち、このノイズ低減方法によれば、レイアウト完了前にノイズの低減を行うことを可能とし、レイアウト設計後におけるレイアウトの大幅な変更

5

を未然に防ぐことができる。また、不必要な部分においてまで対策をすることに起因して面積が大きくなってしまふといったことを避けることができる。

【0017】また、上記した課題の解決を図ろうとする半導体集積回路の設計方法におけるノイズ耐性向上方法についての本発明は、上記したノイズ解析方法によるノイズ解析を行った後において、詳細配線工程に移行する前段階の処置として、ノイズ耐性向上工程をおき、このノイズ耐性向上工程によって、前記ノイズ解析の結果得られたノイズ情報を使用して、ノイズに対する耐性を向上することとしたものである。

【0018】すなわち、このノイズ耐性向上方法によれば、レイアウト完了前にノイズに対する耐性を向上することを可能とし、レイアウト設計後におけるレイアウトの大幅な変更を未然に防ぐことができる。また、不必要な部分においてまで対策をすることに起因して面積が大きくなってしまふといったことを避けることができる。

【0019】また、上記した課題の解決を図ろうとする半導体集積回路の設計方法におけるレイアウト設計方法についての本発明は、上記したノイズ解析方法によるノイズ解析を行った後において、詳細配線工程に移行する前段階の処置として、前記のノイズ低減工程またはノイズ耐性向上工程あるいはその両者の工程をおき、ノイズ低減・ノイズ耐性向上のうち少なくとも一方を行った後、詳細配線工程によって詳細配線を行うこととしたものである。

【0020】すなわち、このレイアウト設計方法によれば、レイアウト完了前において、ノイズの低減やノイズに対する耐性を向上することを可能としている。したがって、レイアウト設計後におけるレイアウトの大幅な変更を未然に防ぐことができる。また、レイアウト設計前においてはノイズ低減対策等を行わないため、不必要な部分においてまで対策をすることに起因して面積が大きくなってしまふといったことを避けることができる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を総括的に説明する。

【0022】本願第1の発明の半導体集積回路の設計方法におけるノイズ解析方法は、標準セルの配置を行う配置工程と、前記配置工程で配置された標準セルに対して概略配線を行う概略配線工程と、前記配置工程および概略配線工程によって得られた標準セルの配置情報および概略配線情報を使用してノイズの解析を行うノイズ解析工程とを含むことを特徴としている。

【0023】この第1の発明による作用については、上記の「課題を解決するための手段」の項でノイズ解析方法について説明したのと実質的に同様のものとなる。すなわち、レイアウト完了前にノイズ解析を行うことにより、レイアウト設計後におけるレイアウトの大幅な変更を未然に防ぐことが可能となる。また、レイアウト設計

(4)

特開2002-9158

6

前においてはノイズ低減対策等を行わないため 不必要な部分においてまで対策をすることに起因して面積が大きくなってしまふといったことを避けることが可能となる。

【0024】本願第2の発明のノイズ解析方法は、上記第1の発明において、前記ノイズ解析工程は、前記標準セルの配置情報に基づいて前記標準セルの電源線および接地線に流れる電流を計算し、発生するノイズを計算し、前記ノイズが前記標準セルの周囲に与える影響を計算することであるというものである。

【0025】本願第3の発明のノイズ解析方法は、上記の第1の発明において、前記ノイズ解析工程は、前記標準セルの配置情報と概略配線情報とに基づいて各信号配線に流れる電流を計算し、発生するノイズを計算し、前記ノイズが前記各信号配線の周囲に与える影響を計算することであるというものである。

【0026】本願第4の発明のノイズ解析方法は、上記の第1の発明において、前記ノイズ解析工程は、前記標準セルの配置情報と概略配線情報とに基づいて前記標準セルの電源線または接地線または信号配線にノイズが乗った場合の前記標準セルの動作への影響を計算することであるというものである。

【0027】本願第5の発明のノイズ解析方法は、上記の第1～第4の発明において、前記概略配線工程による概略配線は、レイアウト設計を行う領域を複数の小領域に分割し、各配線がどの前記小領域を通過するかを指定することを特徴とするものである。

【0028】本願第6の発明の半導体集積回路の設計方法におけるノイズ低減方法は、上記の第1～第5の発明におけるノイズ解析方法を行うノイズ解析工程と、前記ノイズ解析工程によるノイズ解析の結果得られたノイズ情報を使用してノイズの発生を低減するノイズ低減工程とを含むことを特徴としている。

【0029】この第6の発明による作用については、上記の「課題を解決するための手段」の項でノイズ低減方法について説明したのと実質的に同様のものとなる。すなわち、レイアウト完了前にノイズの低減を行うことを可能とし、レイアウト設計後におけるレイアウトの大幅な変更を未然に防ぐことが可能となる。

【0030】本願第7の発明のノイズ低減方法は、上記の第6の発明において、前記ノイズ低減工程は、前記標準セルの電源線および接地線に発生するノイズが前記標準セルの周囲に与える影響が大きい標準セルの周囲に容量を挿入することであるというものである。

【0031】本願第8の発明のノイズ低減方法は、上記の第6の発明において、前記ノイズ低減工程は、前記標準セルの電源線および接地線または前記標準セルに接続される信号配線に発生するノイズが前記標準セルの周囲に与える影響が大きい標準セルを、電源線および接地線または標準セルに接続される信号配線に発生するノイズ

7

が少ない標準セルに置換することであるというものである。

【0032】本願第9の発明のノイズ低減方法は、上記の第6の発明において、前記ノイズ低減工程は、前記各信号配線が発生するノイズが前記各信号配線の周囲に与える影響が大きい信号配線の周囲に容量を挿入することであるというものである。

【0033】本願第10の発明の半導体集積回路の設計方法におけるノイズ耐性向上方法は、上記の第1～第5の発明におけるノイズ解析方法を行うノイズ解析工程と、前記ノイズ解析工程によるノイズ解析の結果得られたノイズ情報を利用してノイズに対する耐性を向上するノイズ耐性向上工程とを含むことを特徴としている。

【0034】この第10の発明による作用については、上記の〔課題を解決するための手段〕の項でノイズ耐性向上方法について説明したのと実質的に同様のものとなる。すなわち、レイアウト完了前にノイズに対する耐性を向上するので、レイアウト設計後におけるレイアウトの大幅な変更を未然に防ぐことが可能となる。

【0035】本願第11の発明のノイズ耐性向上方法は、上記の第10の発明において、前記ノイズ耐性向上工程は、前記標準セルの電源線および接地線または標準セルに接続される信号配線にノイズが乗った場合の前記標準セルの動作への影響が大きい標準セルの周囲に容量を挿入することであるというものである。

【0036】本願第12の発明のノイズ耐性向上方法は、上記の第10の発明において、前記ノイズ耐性向上工程は、前記標準セルの電源線および接地線または標準セルに接続される信号配線にノイズが乗った場合の前記標準セルの動作への影響が大きい標準セルを、ノイズ耐性が大きい標準セルに置換することであるというものである。

【0037】本願第13の発明のノイズ耐性向上方法は、上記の第10の発明において、前記ノイズ耐性向上工程は、前記各信号配線にノイズが乗った場合の前記標準セルの動作への影響が大きい信号配線に対して、その周辺の配線を一定以上離す制約を付加することであるというものである。

【0038】本願第14の発明のノイズ耐性向上方法は、上記の第10の発明において、前記ノイズ耐性向上工程は、前記各信号配線にノイズが乗った場合の前記標準セルの動作への影響が大きい信号配線に対して、その周辺の配線と配線層を変える制約を付加することであるというものである。

【0039】本願第15の発明のノイズ耐性向上方法は、上記の第10の発明において、前記ノイズ耐性向上工程は、前記小領域を通過する信号配線にノイズが乗った場合の前記標準セルの動作への影響が大きい信号配線に対して、その周辺の配線と配線層を変える制約を付加することであるというものである。

(5)

特開2002-9158

8

【0040】本願第16の発明の半導体集積回路の設計方法におけるレイアウト設計方法は、上記の第6～第15の発明におけるノイズ低減工程とノイズ耐性向上工程のうちの少なくとも一方の工程によってノイズ低減とノイズ耐性向上の少なくとも一方を行った後において、詳細配線工程によって詳細配線を行うことを特徴としている。

【0041】この第16の発明による作用については、上記の〔課題を解決するための手段〕の項でレイアウト設計方法について説明したのと実質的に同様のものとなる。すなわち、レイアウト完了前において、ノイズの低減やノイズに対する耐性を向上することが可能となる。したがって、レイアウト設計後におけるレイアウトの大幅な変更を未然に防ぐことができる。また、レイアウト設計前においてはノイズ低減対策等を行わないため、不必要な部分においてまで対策をすることに起因して面積が大きくなってしまったことを避けることが可能となる。

【0042】本願第17の発明のレイアウト設計方法は、上記の第16の発明において、前記ノイズ耐性向上方法によって付加された制約を使用して前記詳細配線工程によって詳細配線を行うことであるというものである。（具体的な実施の形態）以下、本発明にかかわる半導体集積回路の設計方法の具体的な実施の形態を図面に基いて詳細に説明する。

【0043】（実施の形態1）図1は本発明の実施の形態1にかかわる標準セルライブラリを用いる半導体集積回路の設計方法におけるノイズ解析方法のフローチャートを示している。図1において、101は配置工程、102は概略配線工程、103はノイズ解析工程である。

【0044】図2は図1に示すノイズ解析方法のフローチャートの配置工程101および概略配線工程102によって配置および概略配線を行ったブロックのレイアウトを示している。図2において、201～211は標準セル、221～251は標準セルのピン、261～264、271～274は概略配線においてブロックを小領域に分割するための縦横の分割線、281～289は縦横の分割線によって分割された各小領域である。なお、標準セルのピンとは、標準セルへ信号を入力する端子や標準セルから信号を出力する端子や電源線や接地線に接続する端子のことである。

【0045】図3は図1に示すノイズ解析工程103の詳細なフローチャートである。図3において、301は配線電流解析工程であり、302は電源ノイズ解析工程であり、303はノイズ影響解析工程である。

【0046】各標準セルには、信号遷移時間情報と電源ノイズ情報とノイズ感度情報とが与えられている。

【0047】信号遷移時間情報においては、各標準セルの出力ピンの信号の遷移時間が、入力信号の遷移時間および出力ピンに接続されている出力信号の負荷容量の関

(6)

特開2002-9158

9

数として表されている。

【0048】電源ノイズ情報においては、各標準セルの電源ピンへのノイズの出力量（単位は通常はボルト）が、入力信号の遷移時間および負荷容量の関数として表されている。

【0049】ノイズ感度情報においては、各入力ピンおよび電源ピンへのノイズの入力が出力ピンへ伝達される比率が、各入力ピンへのノイズ量および電源ピンへのノイズ量の関数で表されている。

【0050】すなわち、ノイズ感度情報（比率）＝ファンクション（各入力ピンへのノイズ量，電源ピンへのノイズ量）で表される。

【0051】そして、入力ピンへのノイズ量による出力ピンへのノイズ量の影響については、電源ピンへのノイズ量を0として、ノイズ感度情報＝ファンクション（各入力ピンへのノイズ量，0）で表される。また、電源ピンへのノイズ量による出力ピンへのノイズ量の影響については、入力ピンへのノイズ量を0として、ノイズ感度情報＝ファンクション（0，電源ピンへのノイズ量）で表される。

【0052】なお、入力ピンへのノイズ入力、その入力ピンに接続される出力ピンから伝達される。また、電源ピンへのノイズ入力は、隣接する標準セルの電源線に乗ったものが伝搬する。標準セルでは、一般には入力ピンと出力ピンとは別々になっており、兼用するのは特別の場合である。

【0053】以上のように構成された本発明の実施の形態1にかかわる半導体集積回路の設計方法におけるノイズ解析方法について、以下にその動作を説明する。

【0054】ネットリスト、標準セルライブラリおよび各外部入力信号の遷移時間が与えられると、配置工程101において各標準セルの配置を行う。そして、その後概略配線工程102において各ネットの概略配線を行う。

【0055】概略配線工程102においては、各ネットはその詳細な配線位置を指定されるのではなく、小領域281～289のどの部分を通るかを指定される。標準セル201のピン222と標準セル211のピン249とを結ぶネットは小領域281，284，285，286および289を通る。

【0056】この通過する小領域がいずれであるかによって各配線の概略長を計算し、仮想的な容量を各信号配線について計算する。

【0057】そして次に、ノイズ解析工程103におけるノイズの解析を行う。

【0058】まず、配線電流解析工程301において、各信号配線を通れる信号の遷移時間を計算する。これは、駆動する標準セルの各信号配線の入力信号の遷移時間および各信号配線の仮想的な容量から計算する。

【0059】次に、電源ノイズ解析工程302におい

10

て、電源ノイズの解析を行う。これは、各標準セルへの入力信号の遷移時間および出力信号の負荷容量の値から計算する。

【0060】そして次に、ノイズ影響解析工程303において、電源線に発生するノイズおよび各信号配線に流れる電流によって発生するノイズの与える影響の計算を行う。

【0061】まず、電源ノイズ解析工程302において計算した各標準セルの電源ノイズが隣接する標準セルの出力ピンにどれだけのノイズを発生するかをノイズ感度情報より計算する。

【0062】次に、各信号配線を通れる電流がその信号配線が通過するのと同じ小領域内に配線される信号配線に接続される標準セルに与えるノイズの影響を計算する。これは、各小領域内を通過するすべての信号配線の任意の組み合わせが最小距離で隣接されて配線されると仮定して、信号配線Aを通れる電流によって隣接する信号配線Bに発生する起電力を計算し、信号配線Bに接続される標準セルの入力ピンにその起電力がノイズとして入力された場合の、その標準セルの出力ピンにどれだけのノイズが発生するかをノイズ感度情報により計算する。

【0063】そして、電源ノイズの影響の情報および信号配線電流によって各出力ピンに発生するノイズの影響の情報（ノイズ情報）を出力する。

【0064】以上のように本発明の実施の形態1の半導体集積回路の設計方法におけるノイズ解析方法によれば、詳細配線工程に移行する前段階の処置として、ノイズ解析工程をおくことにより、ノイズの解析をレイアウトの設計途中に行うことができるため、レイアウトの設計後においてノイズの解析を行うことに起因するレイアウトの大幅な変更を未然に防ぐことができる。また、レイアウト設計前においてはノイズ低減対策等を行わないため、不必要な部分においてまで対策をすることに起因して面積が大きくなってしまったことを避けることができる。

【0065】なお、本発明の実施の形態1では概略配線はブロックを長方形の小領域に分割し、各ネットはどの小領域を通過するかということを指定されることが、小領域の形状は任意でよい。

【0066】また、概略配線は小領域に分割して、どの小領域を各ネットが通過するかということを指定するものでなくてもよい。

【0067】また、概略配線から各ネットの容量を計算するとしたが、抵抗やその他の値を計算してもよい。

【0068】また、標準セルの信号遷移時間は入力信号の遷移時間および出力ピンに接続されている負荷容量の関数として表されているとしたが、負荷抵抗などその他の値を使って計算するものであってもよい。

【0069】また、電源ノイズ情報は入力信号の遷移時

11

問および負荷容量の関数として表されているとしたが、負荷抵抗などその他の値を使って計算するものであってもよい。

【0070】また、ノイズ感度情報は各入力ピンおよび電源ピンへのノイズの入力が出力ピンへ伝達される比率が各入力ピンおよび電源ピンへのノイズ量の関数で表されているとしたが、その他の値を使って計算するものであってもよい。

【0071】また、電源ノイズの隣接セルへの影響を計算するとしたが、隣接セル以外へ電源ノイズの影響を見てもよい。

【0072】また、各小領域内を通過するすべての信号配線の任意の組み合わせが最小距離で隣接されると仮定して、配線間のノイズの影響を見てもよいが、特定の組み合わせの配線間だけを見てもよく、また最小距離以外の距離を仮定してもよい。

【0073】また、信号配線の電流が電源配線やその他の部分に発生させるノイズの影響を計算してもよい。

【0074】また、ブロック内部の標準セルによる電源線のノイズまたは信号配線の信号によるノイズの周囲への影響を計算するとしたが、チップ外部からのノイズの影響を計算してもよい。

【0075】（実施の形態2）図4は本発明の実施の形態2にかかわる標準セルライブラリを用いる半導体集積回路の設計方法におけるノイズ低減方法のフローチャートを示している。図4において、401はノイズ解析工程、402はノイズ低減工程である。ノイズ解析工程401は図1に示すノイズ解析工程103つまりは図3に示すフローと同じものである。

【0076】図5は図4に示すノイズ低減工程402の詳細なフローチャートである。図5において、501は容量挿入工程、502は標準セル置換工程である。

【0077】図6は容量挿入工程で使用される容量標準セルである。図6において、601、602は電源ピンであり、603、604は接地ピンであり、605は容量標準セルである。容量標準セル605内においては、電源・接地間に容量が構成されており、また容量標準セル605の高さや電源ピン位置、接地ピン位置は他の標準セルと同一となっているため、標準セルで構成されたブロック内に容易に配置できる構成となっている。

【0078】以上のように構成された本発明の実施の形態2にかかわる半導体集積回路の設計方法におけるノイズ低減方法について、以下にその動作を説明する。

【0079】ネットリスト、標準セルライブラリが与えられ、配置、概略配線を行った後、ノイズ解析工程401において、各標準セルの電源ノイズの影響の情報、および各信号配線の電流によるノイズの影響の情報を抽出する。

【0080】次に、ノイズ低減工程402においてノイズの低減を行う。これは、ノイズ解析工程401の結果

(7)

特開2002-9158

12

得たノイズの影響の情報から、電源ノイズの影響、および各信号配線の電流によるノイズの影響を減らすように行う。

【0081】ノイズ低減工程402では、まず、容量挿入工程501によって、電源ノイズが周囲の標準セルの出力ピンに大きく影響を出す標準セルに対して、その周辺に容量標準セル605を挿入する。容量挿入工程501においては、容量標準セル605を挿入する標準セルの周辺に、容量標準セル605を挿入するのに十分な領域があれば、その領域に容量標準セル605を挿入する。周辺に十分な領域がなければ、周辺の標準セルの配置を修正し、空き領域を確保して、容量標準セル605を挿入する。

【0082】次に、セル置換工程502において、ノイズの影響を低減するように標準セルの置換を行う。すなわち、電源ノイズまたは信号配線の信号の遅延時間を減らすような標準セルへと置換する。そして、ノイズ低減を行った結果（配置・概略配線情報）を出力する。

【0083】以上のように本発明の実施の形態2の半導体集積回路の設計方法におけるノイズ低減方法によれば、実施の形態1でのノイズ解析方法でノイズ解析を行った後において、詳細配線工程に移行する前段階の処置として、ノイズ低減工程をおき、レイアウト完了前に、ノイズの解析結果得られたノイズ情報を使用しての容量挿入やセル置換によってノイズの発生を低減したので、レイアウトの設計後においてノイズの解析を行うことに起因するレイアウトの大幅な変更を未然に防ぎながら、ノイズの低減を実現することができる。また、不必要な部分においてまで対策をすることに起因して面積が大きくなってしまったことを避けることができる。

【0084】なお、本発明の実施の形態2では容量挿入工程およびセル置換工程でノイズの低減を行うとしたが、いずれか一方だけでもよいし、その他の方法でノイズの低減を行ってもよい。

【0085】また、容量挿入は容量セルの挿入によって行うとしたが、容量を挿入すべき標準セルを容量付きの同機能をもつ標準セルに置き換えてもよいし、それ以外の方法によって容量を挿入してもよい。

【0086】（実施の形態3）図7は本発明の実施の形態3にかかわる標準セルライブラリを用いる半導体集積回路の設計方法におけるノイズ耐性向上方法のフローチャートを示している。図7において、701はノイズ解析工程、702はノイズ耐性向上工程である。ノイズ解析工程701は図1に示すノイズ解析工程103つまりは図3に示すフローと同じものである。

【0087】図8は図7に示すノイズ耐性向上工程702の詳細なフローチャートである。図8において、801は容量挿入工程、802はセル置換工程、803は配線制約付加工程、804は概略配線変更工程である。

【0088】以上のように構成された本発明の実施の形

13

態3にかかわる半導体集積回路の設計方法におけるノイズ耐性向上方法について、以下にその動作を説明する。

【0089】ネットリスト、標準セルライブラリが与えられ、配置、概略配線を行った後、ノイズ解析工程701において、各標準セルの電源ノイズの影響の情報、および各信号配線の電流によるノイズの影響の情報を抽出する。

【0090】次に、ノイズ耐性向上工程702においてノイズへの耐性の向上を行う。これは、ノイズ解析工程701の結果得たノイズの影響の情報から、電源ノイズの影響、および各信号配線の電流によるノイズの影響を減らすように行う。

【0091】ノイズ耐性向上工程702では、まず、容量挿入工程801において、周囲の標準セルの電源ノイズの影響が出力ピンに大きく出る標準セルに対して、その周辺に容量標準セル605を挿入する。容量挿入工程801においては、容量標準セル605を挿入する標準セルの周辺に、容量標準セル605を挿入するのに十分な空き領域があれば、その領域に容量標準セル605を挿入する。周辺に十分な空き領域がなければ、周辺の標準セルの配置を修正し、空き領域を確保して、容量標準セル605を挿入する。

【0092】次に、セル置換工程802において、ノイズの影響を低減するように標準セルの置換を行う。すなわち、電源ノイズまたは信号配線によるノイズの影響が大きいセルを、ノイズの影響を受けにくい標準セルへと置換する。

【0093】次に、配線制約付加工程803において、ノイズの影響を低減するように概略配線に対して制約を付加する。すなわち、ある配線Cと同一小領域を通る配線Dの信号によって受けるノイズの影響を低減したい場合には、配線Cと配線Dをその小領域内において、できるだけ離して配線するという制約を付加する。

【0094】次に、概略配線変更工程804において、概略配線の一部を変更し、ノイズの影響を低減する。すなわち、ある配線Cと同一小領域を通る配線Dの信号によって受けるノイズの影響を低減したい場合には、配線Cと配線Dのいずれかを別の小領域を通るように概略配線の一部修正を行う。そして、ノイズ耐性向上を行った結果（配置・概略配線・配線制約情報）を出力する。

【0095】なお、本発明の実施の形態3では容量挿入工程、セル置換工程、配線制約付加工程および概略配線変更工程でノイズの耐性向上を行うとしたが、その一部だけを行ってもよいし、その他の方法でノイズの耐性向上を行ってもよい。

【0096】また、容量挿入は容量セルの挿入によって行うとしたが、容量を挿入すべき標準セルを容量付きの同機能をもつ標準セルに置き換えてもよいし、それ以外の方法によって容量を挿入してもよい。

【0097】また、配線制約として配線間を離すという

(8)

特開2002-9158

14

制約を付加するとしたが、配線層を違うものとするなどその他の配線間容量を減らす方法であればどのような制約であってもかまわない。

【0098】（実施の形態4）図9は本発明の実施の形態4にかかわる標準セルライブラリを用いる半導体集積回路の設計方法におけるレイアウト設計方法のフローチャートである。図9において、901はノイズ解析工程、902はノイズ低減工程、903はノイズ耐性向上工程、904は詳細配線工程である。ノイズ解析工程901は図1に示すノイズ解析工程103つまりは図3に示すフローと同じものである。ノイズ低減工程902は図4に示すノイズ低減工程402つまりは図5に示すフローと同じものである。ノイズ耐性向上工程904は図7に示すノイズ耐性向上工程702つまりは図8のフローと同じものである。

【0099】以上のように構成された本発明の実施の形態4にかかわる半導体集積回路の設計方法におけるレイアウト設計方法について、以下にその動作を説明する。

【0100】ネットリストが与えられ、配置、概略配線を行った後、ノイズ解析工程901においてノイズの解析を行い、そのノイズ解析結果を使用し、ノイズ低減工程902およびノイズ耐性向上工程903によってノイズを低減する。あるいは、ノイズに対する耐性を向上するように、配置の変更、概略配線の変更、標準セルの置換、配線制約の付加を行う。

【0101】次に、詳細配線工程904において、前の工程の結果出力された標準セルの配置、概略配線、配線制約などに従って詳細配線を行い、レイアウト結果を出力する。

【0102】以上のように本発明の実施の形態4の半導体集積回路の設計方法におけるレイアウト設計方法によれば、ノイズの解析をレイアウトの設計途中に行い、レイアウトの修正や制約付加をレイアウト設計途中に行えるため、レイアウト完了前にノイズの低減やノイズに対する耐性を向上することを可能とし、レイアウトの設計後においてノイズの解析を行うことに起因するレイアウトの大幅な変更を未然に防ぐことができる。また、レイアウト設計前においてはノイズ低減対策等を行わないため、不必要な部分においてまで対策をすることに起因して面積が大きくなってしまったことを避けることができる。

【0103】なお、本発明の実施の形態4ではノイズ低減工程およびノイズ耐性向上工程が行われるとしたが、いずれか一方でもかまわない。

【0104】

【発明の効果】以上説明したように本発明によれば、半導体集積回路の設計方法におけるノイズ解析方法、ノイズ低減方法、ノイズ耐性向上方法およびレイアウト設計方法において、レイアウト完了前に、ノイズの解析、ノイズの低減、ノイズへの耐性向上を行うことにより、レ

15

イアウトの設計後においてノイズの解析を行うことに起因するレイアウトの大幅な変更を未然に防ぐことができるとともに、レイアウト設計前でのノイズ低減対策等は行わなくて済むため、不必要な部分においてまで対策をすることに起因して面積が大きくなってしまったといったことを避けることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかわる標準セルライブラリを用いる半導体集積回路の設計方法におけるノイズ解析方法のフローチャート

【図2】 本発明の実施の形態1における配置および概略配線が行われたブロックのレイアウト図

【図3】 本発明の実施の形態1におけるノイズ解析工程の詳細なフローチャート

【図4】 本発明の実施の形態2にかかわる標準セルライブラリを用いる半導体集積回路の設計方法におけるノイズ低減方法のフローチャート

【図5】 本発明の実施の形態2におけるノイズ低減方法のフローチャート

【図6】 実施の形態2, 3, 4における容量挿入工程で使用される容量標準セルの模式図

【図7】 本発明の実施の形態3にかかわる標準セルライブラリを用いる半導体集積回路の設計方法におけるノイズ耐性向上方法のフローチャート

【図8】 本発明の実施の形態3におけるノイズ耐性向上工程のフローチャート

【図9】 本発明の実施の形態4にかかわる標準セルラ

(9)

特開2002-9158

16

イブラリを用いる半導体集積回路の設計方法におけるレイアウト設計方法のフローチャート

【図10】 従来の技術におけるレイアウト設計方法のフローチャート

【符号の説明】

101……配置工程

102……概略配線工程

103, 401, 701, 901……ノイズ解析工程

201～211……標準セル

221～251……標準セルの入出力ピン

261～264……縦の小領域の分割線

271～274……横の小領域の分割線

281～289……小領域

301……配線電流解析工程

302……電源ノイズ解析工程

303……ノイズ影響解析工程

402, 902……ノイズ低減工程

501, 801……容量挿入工程

502, 802……セル置換工程

601, 602……電源ピン

603, 604……接地ピン

605……容量標準セル

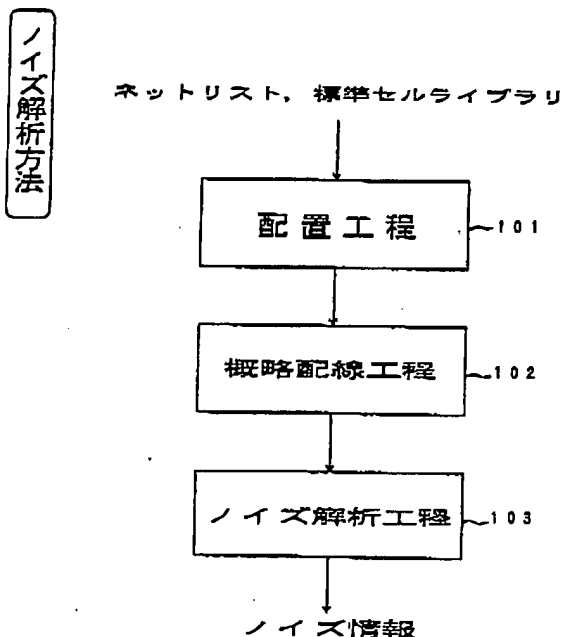
702, 903……ノイズ耐性向上工程

803……配線制約付加工程

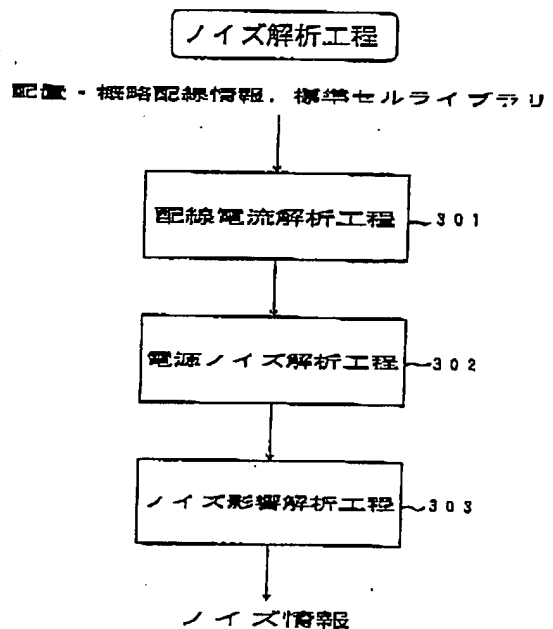
804……概略配線変更工程

904……詳細配線工程

【図1】



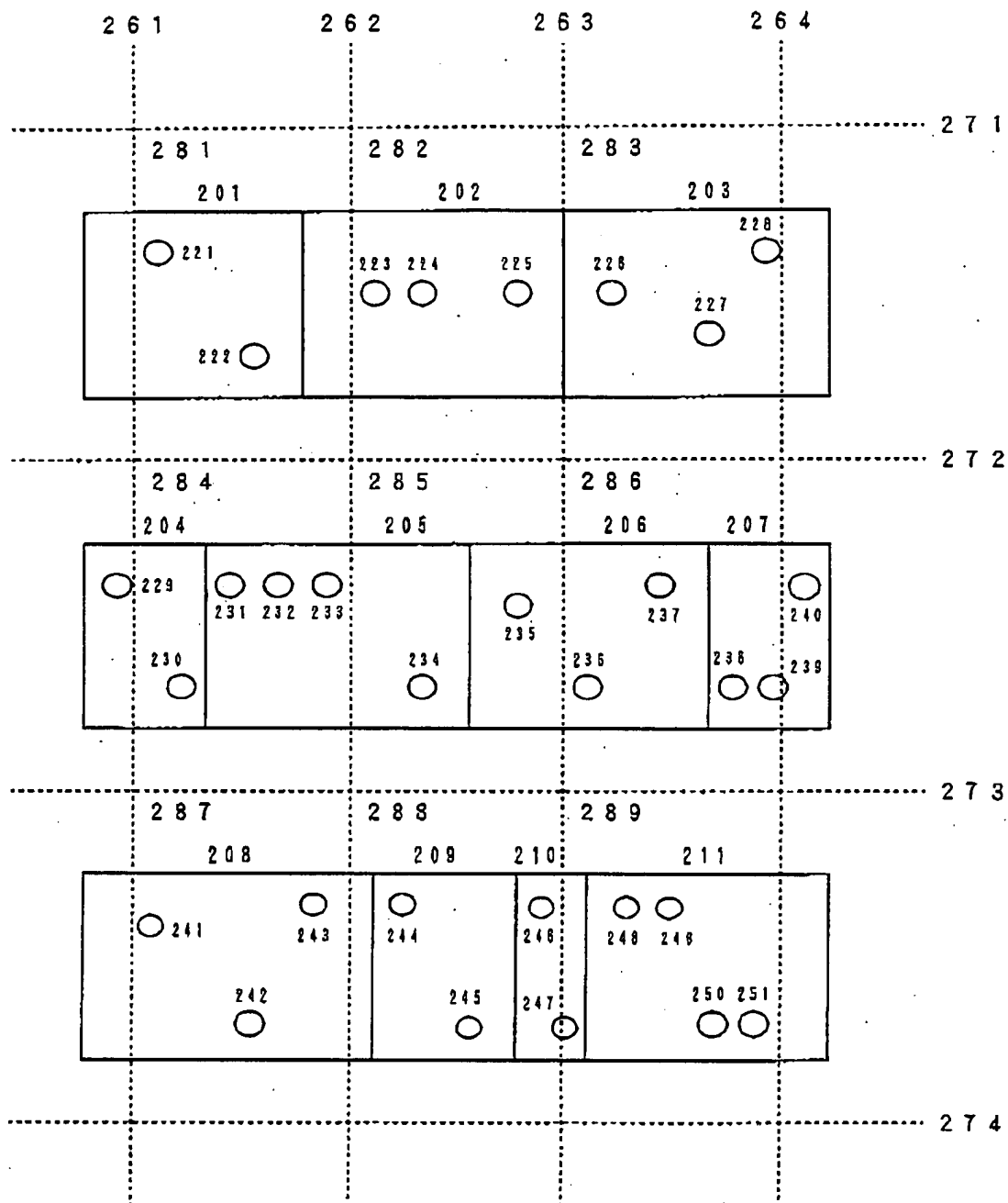
【図3】



(10)

特開 2002-9158

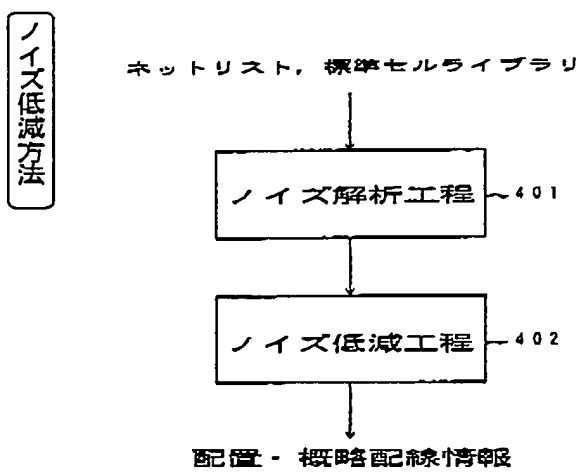
【図 2】



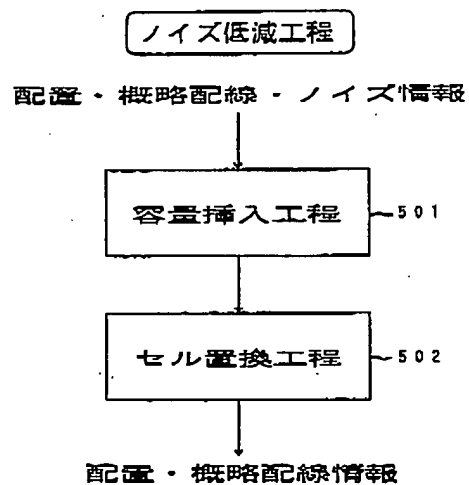
(11)

特開2002-9158

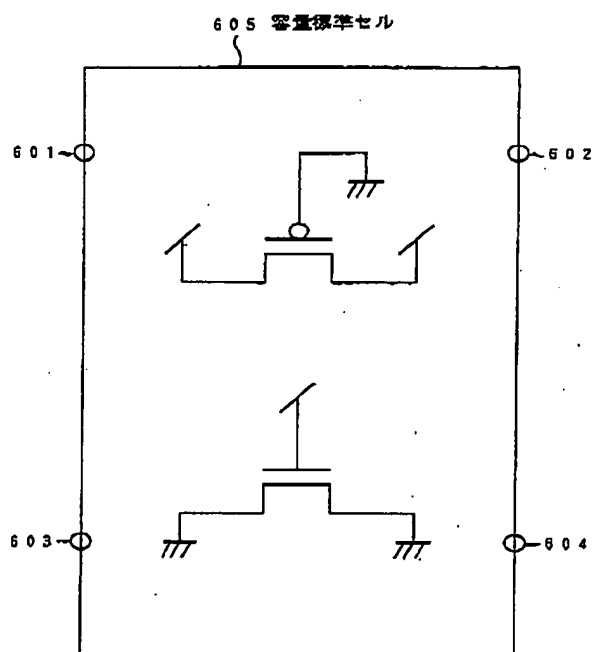
【図4】



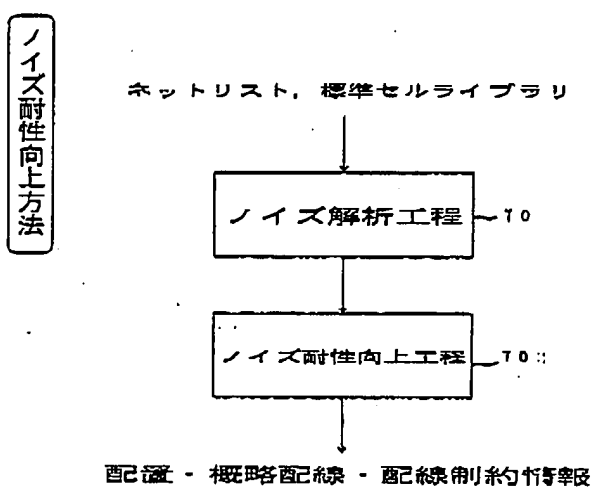
【図5】



【図6】



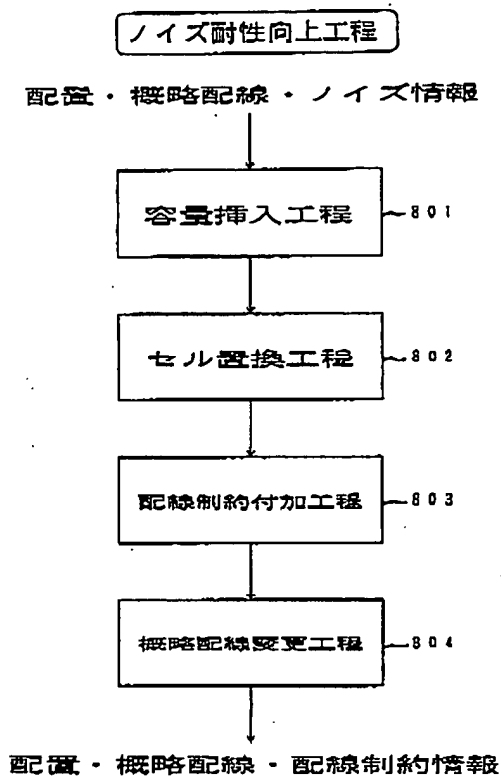
【図7】



(12)

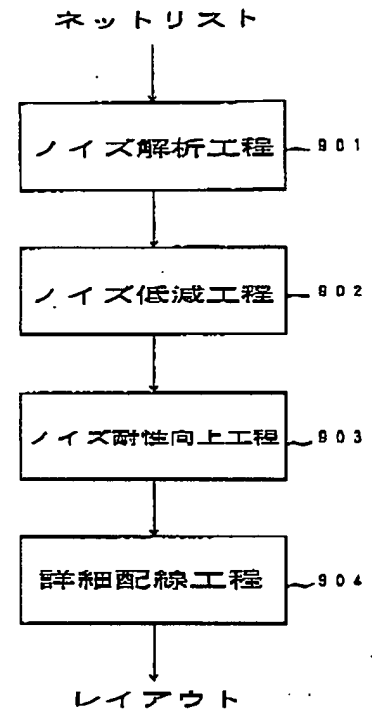
特開2002-9158

【図8】



レイアウト設計方法

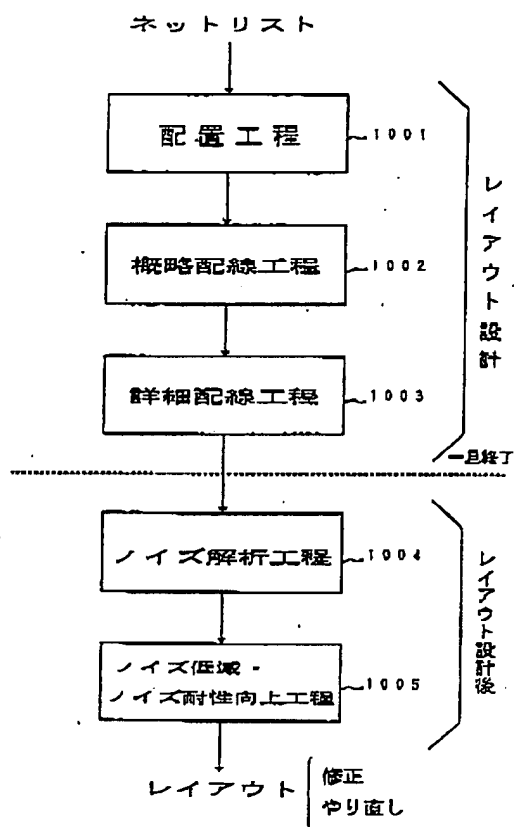
【図9】



(13)

特開2002-9158

【図10】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

H 0 1 L 21/82

27/04

テマコード* (参考)

C

H

D

Title of the Prior Art

Japanese Published Patent Application No.2002-9158

Date of Publication:

Concise Statement of Relevancy

Translations of paragraphs [0043]-[0085]:

[0043]

(Embodiment)

Figure 1 shows a flowchart of a noise analysis method in a designing method of a semiconductor integrated circuit using a standard cell library according to an embodiment of the preset invention. In figure 1, numeral 101 denotes a disposition process, numeral 102 denotes a brief wiring process, numeral 103 denotes a noise analyzing process.

[0044]

Figure 2 is a diagram showing a layout of a block that is obtained by conducting disposition and brief wiring according to the disposition process and the brief wiring process of the flowchart shown in figure 1. In figure 2, numerals 201 to 211 denote standard cells, numerals 221 to 251 denote pins of the standard cells, numerals 261 to 2641, and 271 to 274 denote vertical and horizontal division lines for dividing blocks into small-sized regions in the brief wiring, and numerals 281 to 239 denote respective small sized-regions which are divided the vertical and horizontal division lines. Here, the pins of the standard cells are terminals for inputting signals into the standard cells, terminals for outputting signals from the standard cells, or terminals connected to the power supply lines

or ground lines.

[0045]

Figure 3 is a diagram showing a detailed flowchart of the noise analysis process 103 shown in figure 1. In figure 3, 301 denotes a wiring current analysis process, 302 denotes a power supply noise analysis process, and 303 denotes a noise effect analysis process.

[0046]

The respective standard cells are provided with a signal transition time information, a power supply noise information, and a noise sensitivity information.

[0047]

In the signal transition time information, the transition times of signals of the output pins of the respective standard cells are represented as a function of a transition time of the input signal and the load capacitance of the output signal connected to the output pin.

[0048]

In the power supply noise information, the output amount of noises to the power supply pins of the respective standard cells (the unit is usually volt) is represented as a function of the transition time and the load capacitance of the input signal.

[0049]

In the noise sensitivity information, the ratio of the input of noises to the respective input pins and power supply pins being transmitted to the output pins is represented as a function of the noise amount to the respective input pins and the noise amount to the respective power supply pins.

[0050]

That is, it is represented as:

Noise sensitivity information (ratio) = $f(\text{noise amount to respective input pins, noise amount to respective power supply pins})$.

[0051]

Then, as for influences effected to the noise amount to output pins by the noise amount to input pins, it is represented by:

Noise sensitivity information = $f(\text{noise amount to respective input pins, } 0)$

with taking noise amount to power supply pins as 0. Further, as for the influences by the noise amount to the output pins by the noise amount to power supply pins, it is represented as:

noise sensitivity information = $f(0, \text{noise amount to power supply pins})$.

[0052]

Besides, the noise input to the input pins is transmitted from the output pins which are connected to the input pins. Further, the noises which are inputted to the power supply pins transmit on power supply lines of adjacent standard cells. In standard cells, input pins and output pins are generally separated, and they are only commonly used in special cases.

[0053]

The noise analysis method in a method of designing a semiconductor integrated circuit according to a first embodiment of the present invention thus constituted will be described below for its operation.

[0054]

When the net list, the standard cell library and transition times of the respective input signals are given, disposition of the respective external input signals are carried out in the disposition process 101. Then, brief wiring of respective nets are carried out in the brief disposition process 102.

[0055]

In the brief wiring process 102, not detailed disposition positions of the respective nets but at which portions of the small sized regions the nets go through are designated. The nets which connect the pins 222 of the standard cells 201 and the pins 249 of the standard cells 211 go through the small-sized regions 281, 284, 285, 286, and 289.

[0056]

Dependent on through which small-sized regions the nets go through, brief lengths of the respective wirings are calculated, and virtual capacitances are calculated for respective signal wirings.

[0057]

Then, analysis of noises in the noise analysis process 103 is carried out.

[0058]

First of all, the transition times of the signals which flow through respective signal wirings are calculated in the wiring current analysis process 301. These are calculated from the transition times of the input signals of the respective signal wirings of the standard cells to be driven and the virtual capacitances of the respective wirings.

[0059]

Next, in the power supply noise analysis process 302, an

analysis of power supply noise is carried out. This is calculated from the transition times of the input signals to the respective standard cells and the load capacitances of the output signals.

[0060]

Then, in the noise influences analysis process 303, a calculation of influences given by the noises generated in the power supply lines and the noises generated by the currents flowing through the respective signal wirings is carried out.

[0061]

First of all, how much noises are generated in the output pins of the adjacent standard cells by the power supply noises of the respective standard cells, which are calculated in the power supply noise analysis process 302, is calculated from the noise sensitivity information.

[0062]

Next, the influences by noises which are given to the standard cells which are connected to the signal wirings which are wired in the small-sized area by the currents which flow through signal wirings which go through the same small-sized area is calculated. This is performed in such a manner that while assuming an arbitrary combination of all the signal wirings which go through the respective small-sized areas are wired adjacent to each other with the minimum intervals, the electro-motive force that is generated in the signal wiring B by the current flowing through the signal wiring A is calculated, and how much noises are generated in the output pins of the standard cell when the described electro-motive force is inputted to the input pin of the standard cell connected the signal wiring B is calculated

be the noise sensitivity information.

[0063]

Then, the information of the influences of the power supply noises and the information of influences which are generated in the respective output pins by the signal wiring currents (noise information) is outputted.

[0064]

According to the noise analysis method in the designing method of a semiconductor integrated circuit of the first embodiment of the present invention described above, since it is possible to carry out the noise analysis in the midst of designing a layout by providing a noise analysis process as a pre-stage processing before transiting detailed wiring processes, it is possible to prevent a large degree change of a layout after designing a layout which causes when performing a noise analysis after designing of a layout. Further, since noise reduction countermeasure and the like are not carried out before designing a layout, it is possible to avoid unnecessary increase in an area which is unintentionally caused by countermeasures being executed to unnecessary portions.

[0065]

Besides, while in the first embodiment of the present invention, the blocks are divided into rectangular small-sized regions and through which small-sized regions the respective nets pass is designated, the configuration of the small-sized regions may be arbitrary.

[0066]

Further, it is not limited to a construction in which the brief wirings are divided into small-sized regions and through

which small-sized regions the respective nets pass is designated.

[0067]

Further, while the capacitances of respective nets are calculated from the brief wirings, resistances or other values may be calculated.

[0068]

Further, while the signal transition times of the standard cells are represented as a function of transition times of input signals which are connected to the output pins, it may be calculated by using load resistances or other values.

[0069]

Further, while the power noise information is represented as a function of transition times of the input signals and the load capacitances, it may be calculated by using such as load resistances or other values.

[0070]

Further, while as for the noise sensitivity information, the ratio of the input of noises to the respective input pins and power supply pins being transmitted to the output pins is represented as a function of the noise amount to the respective input pins and the noise amount to the respective power supply pins, it may be calculated by using other values.

[0071]

Further, the influences of the power supply noises to the adjacent cells are calculated, the influences of the power supply noises to other than the adjacent noises may be viewed.

[0072]

Further, while assuming that an arbitrary combination of all the signal wirings which go through the respective

small-sized areas are wired adjacent to each other with the minimum intervals, the influences by noises between wirings are viewed, only between a specified combination of wirings may be viewed, or the distance other than the minimum distance may be assumed.

[0073]

Further, the influences of noises which are generated at the power supply wirings or other portions by the signal wirings may be calculated.

[0074]

Further, while the influences by the noises of the power supply wirings due to the standard cells inside the blocks and those by the signals of the signal wirings to its periphery are calculated, the influences of noises from the outside of the chip may be calculated.

Translations of paragraphs [0075]-[0085]:

[0075]

Figure 2 is a diagram showing a flowchart of a noise reduction method in the designing method of a semiconductor integrated circuit using a standard cell library according to a second embodiment of the present invention. In figure 4, numeral 401 denotes a noise analysis process, and 402 denotes a noise reduction process. The noise analysis process 401 is the same as the noise analysis process 103 shown in figure 1, that is, the flow shown in figure 3.

[0076]

Figure 5 is a detailed flowchart of the noise reduction process 402 shown in figure 4. In figure 5, numeral 501 denotes

a capacitance insertion process, and numeral 502 denotes a standard cell replacement process.

[0077]

Figure 6 shows a standard cell that is used in the capacitance insertion process. In figure 6, numerals 601, 602 denote power supply pins, 603, 604 denote ground pins, and 605 denotes a capacitance standard cell. In the capacitance standard cell 605, capacitances are constituted between power supply and ground, and the height of the capacitance standard cell 605 and the positions of the power supply pins and ground pins are the same as those in the standard cell, and therefore, the arrangement in the blocks which are constituted by standard cells are easily possible.

[0078]

A description is given of an operation in a noise reduction method in the designing method of a semiconductor integrated circuit according to a second embodiment of the present invention as below.

[0079]

After net lists and standard cell libraries are given and the disposition and brief wiring are carried out, extraction of information of influences of the power supply noises of the respective standard cells and the information of the influences of the noises by the currents through the respective signal wirings are extracted.

[0080]

Next, in the noise reduction process 402, reduction of noises is carried out. This is performed so as to reduce the influences of the power supply noises and the influences of the

noises by the currents of the respective signal wirings from the information of the influences of the noises which are obtained from the result of the noise reduction process.

[0081]

In the noise reduction process 402, first of all, as for the standard cells whose power supply noises outputs large influences to the output pins of the standard cells at the periphery thereof, capacitance standard cells 605 are inserted into the periphery of those standard cells. In the capacitance insertion process 501, if there are a sufficient area for inserting capacitance standard cells 605 at the periphery of the standard cells for which the capacitance standard cells 605 are to be inserted, the capacitance standard cells 605 are inserted into that region. If there is no such area, the arrangement of the standard cells at the periphery is modified to keep a vacant space, and the capacitance standard cells 605 are inserted.

[0082]

Next, replacement of standard cells are carried out so as to reduce the influences of noises in the cell replacement process 502. That is, The replacement into standard cells which may reduce transition times of power supply noises or signals of the signal wirings is carried out. Then, the result that has carried out noise reduction (the disposition and brief wiring information) is outputted.

[0083]

According to the noise reduction method in the designing method of a semiconductor integrated circuit according to a second embodiment of the present invention as described, after

carrying out noise analysis in the noise analysis method according to the first embodiment, a noise reduction process is placed as a pre-stage measure before transiting to the detailed wiring process, and before completing a layout, the generation of noises are reduced by the capacitance insertion or cell replacement, thereby the reduction of noises is realized, while preventing changes to a great extent of a layout that is caused by conducting noise analysis after the design of a layout before happens. Further, it is also possible to avoid to arise an increase in an area caused by that a countermeasure is taken even an unrequired portion.

[0084]

Besides, while in the second embodiment, noises are reduced in the capacitance insertion process and in the cell replacement process, only one of them may be carried out, or other methods may be used.

[0085]

Further, while in the embodiment, the insertion of capacitances is carried out by insertion of capacitance cells, it may be carried out by that standard cells for which capacitances are to be inserted may be replaced by standard cells which have the same function as above-described with capacitances. Alternatively, other methods may be employed.

整理番号:2037650003 発送番号:090914 発送日:平成18年 3月 7日 1

拒絶理由通知書

特許出願の番号	特願2003-185332
起案日	平成18年 3月 1日
特許庁審査官	早川 学 3657 5H00
特許出願人代理人	早瀬 憲一 様
適用条文	第17条の2第3項、第29条柱書、第29条第2項、第36条、第37条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

[理由1]

平成18年1月5日付けでした手続補正は、下記の点で願書に最初に添付した明細書又は図面に記載した事項の範囲内においてしたものでないから、特許法第17条の2第3項に規定する要件を満たしていない。

記

平成18年1月5日付け手続補正書における補正により、請求項5に係る発明には、「前記入力手段により入力された情報を用いて、・・・ノイズ解析を行い、・・・ノイズ発生量が所定の範囲内であるか否かを判定する判定手段」（請求項1）及び「前記判定手段は、前記入力手段により入力された情報を用いて、・・・ノイズ発生量を見積もり、・・・容量制約指定手段を有し、・・・搭載容量が・・・容量制約より大きいかな否かを判定」すること（請求項5）が追加されている。これは、請求項5に係る発明に追加された「判定手段」が「ノイズ解析」、「ノイズ発生量の判定」、「ノイズ見積もり」、「容量制約の指定」、「搭載容量の判定」という5つの処理全てを実施する手段であることを意味するとも解釈できる。

一方、この出願の願書に最初に添付された明細書又は図面（以下「当初明細書等」という。）には、前記5つの処理をそれぞれ、「ノイズ解析手段」、「ノイズ判定手段」、「ノイズ見積手段」、「容量制約指定手段」、「比較手段」が行うこと、及び、「ノイズ解析手段」及び「ノイズ判定手段」を備えた装置、若しくは、「ノイズ見積手段」、「容量制約指定手段」、「比較手段」を備えた装置は記載されているものの、これらの手段を全て備えた手段若しくは装置は記載さ

整理番号:2037650003 発送番号:090914 発送日:平成18年 3月 7日 2

れていない。

よって、前記補正は、当初明細書又は図面に記載した事項の範囲内においてしたものではなく、また、当初明細書又は図面の記載から自明の事項ということとはできない。

平成18年1月5日付け手続補正書における請求項11、14、16に係る発明の補正についても同様に、補正によって新たに記載された「判定ステップ」が、当初明細書又は図面に記載した事項の範囲内においてしたものではなく、また、当初明細書又は図面の記載から自明の事項ということとはできない。

また、平成18年1月5日付け手続補正書における【0016】、【0024】、【0030】、【0034】に関する補正についても同様である。

なお、当該補正がなされた明細書又は図面における請求項5、6、11、12、14、16に記載した事項は願書に最初に添付した明細書又は図面に記載した事項の範囲内にあることが明らかであるから、当該発明については新規性、進歩性等の特許要件についての審査を行っていない。

[理由2]

この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第1号及び第2号に規定する要件を満たしていない。

記

請求項5、6、11、12-14、16に係る事項は、不明確である。また、実質的に発明の詳細な説明と対応していない。

(1) 請求項5の記載では、「判定手段」が実施する処理内容が不明確である。

請求項5には、「判定手段」が実施する処理内容に関して、「前記判定手段は、・・・ノイズ発生量を見積もり、・・・容量制約指定手段を有し、・・・容量制約より大きいかな否かを判定し」と記載されているのに対し、請求項1には、「判定手段」が実施する処理内容に関して、「前記回路ブロックのノイズ解析を行い、前記ノイズ解析の結果に基づいて、前記回路ブロックのノイズ発生量が所定の範囲内であるかな否かを判定する判定手段」と記載されている。ここで、「ノイズ発生量を見積もること」と「ノイズ解析を行うこと」とは別処理であり、さらに、実施する判定処理に用いられるデータも「容量」と「ノイズ発生量」であって、異なっている。よって、請求項1に記載された「判定手段」と請求項5に記載された「判定手段」とは処理の内容が全く異なっている。

請求項5は、請求項1の従属項であることから、請求項1、5に記載の処理両方を実施するものであるとも、請求項1に記載の処理と請求項5に記載の処理と

整理番号:2037650003 発送番号:090914 発送日:平成18年 3月 7日 3

を切り換える、若しくは、置き換えるとも解釈することができるため、請求項5に記載の「判定手段」が実施する処理内容が特定できない。

また、仮に「判定手段」が両方の処理を実施すること、処理を切り換えることを意味するのであれば、発明の詳細な説明との対応が不明となっており、置き換えることを意味するのであれば、請求項1に係る発明と請求項5に係る発明とは特許法第37条の規定に反することになる（下記「理由3」参照）。

（2）請求項13には、「半導体集積回路設計方法を回路設計に用いて、半導体集積回路を製造する半導体集積回路の製造方法」と記載されているが、設計とは、所望の半導体集積回路の回路構成を図面等によって表すことを意味し、製造とは、原材料を加工して製品にすることを意味する。つまり、設計工程と製造工程とは別の処理であって、半導体集積回路設計方法を設計に用いても半導体集積回路が製造されるわけではない。よって、請求項の記載ではまとまりのある技術的思想が把握できない。

（補正をされる場合には、例えば、半導体集積回路設計方法によって回路設計を行い、半導体集積回路を製造する半導体集積回路の作成方法としてはいかがか。）

「理由3」

この出願は、下記の点で特許法第37条に規定する要件を満たしていない。

記

上記「理由2」（1）に記載の通り、請求項5に記載の「判定手段」と請求項1に記載の「判定手段」とは処理の内容が全く異なっており、仮に、実施する処理が置き換わったものであるとすると、請求項5は請求項1を何等限定するものではない。

請求項1を特定発明とする。

本願出願時の技術水準（例えば、特開2002-9158号公報参照。）からすると、請求項1に係る発明と、請求項5に係る発明との間に、同一である課題（ただし、本願出願時まで解決手段が1つも知られていない課題。）も同一である主要部（ただし、新規なもの。）も見出せない。

したがって、請求項1に係る発明と、請求項5に係る発明とは、特許法第37条第1号及び第2号に掲げる何れの関係も有しない。

また、請求項1に係る発明と、請求項5に係る発明とは、特許法第37条第3号一第5号に掲げる何れの関係をも有しないことは明らかである。

よって、本願は特許法第37条に規定する要件を満たしていない。

整理番号:2037650003 発送番号:090914 発送日:平成18年 3月 7日 4

請求項5を引用する、若しくは、請求項5に係る発明のカテゴリーを変更した請求項6、11、12、14、16に関しても同様に特許法第37条に規定する要件を満たしていない。

この出願は特許法第37条の規定に違反しているので、請求項1-4、7-10、13、15以外の請求項に係る発明については新規性、進歩性等の要件についての審査を行っていない。

[理由4]

この出願の下記の請求項に係る発明は、下記の点で特許法第29条第1項柱書に規定する要件を満たしていないので、特許を受けることができない。

記

請求項7-10、13に対して

請求項7に係る事項は、特許法第2条における「自然法則を利用した技術的思想の創作」に該当しないので、特許法第2条に規定する「発明」に該当しない。

<備考>

例えば、請求項7に係る事項においては、半導体集積回路のパターンを自動合成するための処理に対して、どのようなハードウェア資源が用いられているのか記載されていない。ましてや、ハードウェア資源を用いてどのように実現されているのか具体的に記載されてもいない。よって、ソフトウェアによる情報処理がハードウェア資源を用いて具体的に実現されているとは言えない。また、請求項7に係る事項は、対象の物理的性質又は技術的性質に基づく情報処理を具体的に行うものでもない。

(なお、「ソフトウェアによる情報処理がハードウェア資源を用いて具体的に実現」については、審査基準第VII部第1章を参照されたい。また、この理由に対応して補正される場合には、例えば、審査基準第VII部第1章において「発明」に該当するとされる事例を参考にされたい。)

[理由5]

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

整理番号:2037650003 発送番号:090914 発送日:平成18年 3月 7日 5

記 (引用文献等については引用文献等一覧参照)

・請求項 1-4、7-10、13、15

・引用文献 1、2

・備考

請求項1について

引用文献1には、半導体集積回路の設計方法に関して、ネットリスト、標準セルライブラリを入力として、レイアウト完了前にノイズ解析工程によって、ノイズの解析を行い、その結果から各標準セルの電源ノイズの影響の情報、および各信号配線の電流によるノイズの影響を抽出し、ノイズ低減工程において、電源ノイズが周囲の標準セルの出力ピンに大きく影響を出す標準セルに対して、その周辺に容量標準セル（バイパスコンデンサに相当）を挿入して、ノイズの影響を減らすようにすることが記載されている（【0043】－【0085】参照）。

引用文献1に記載された発明は、「電源ノイズが周囲の標準セルの出力ピンに大きく影響を出す標準セルに対して」のみにノイズ低減処理を行っていることから、ノイズ発生量が所定の範囲内であるかどうかの判定も行っている。

引用文献1に記載された発明は、ノイズ解析に必要とされる入力情報に、「パッケージ情報」が記載されていない点で請求項1に係る発明と相違する。

引用文献2には、ゲートレベルの電流解析手法を利用したLSIの不要輻射量を解析する方法に関して、パッケージに起因する不要輻射も解析するため、解析にパッケージ情報を解析制御情報として付加することが記載されている。

引用文献1に記載された発明においてノイズ解析の精度を高めるために、引用文献2に記載されたパッケージ情報も考慮したノイズ解析を行うようにすることは、当業者が容易に想到し得たものである。

請求項2について

引用文献2には、ゲートレベルの電流解析手法を利用したLSIの不要輻射量を解析する方法に関して、電源およびグランドの抵抗、容量、インダクタンスによるデカップリングの影響を電源電流計算に反映させて、LSIの不要輻射量を解析することが記載されている。

引用文献1に記載された発明においてノイズ解析の精度を高めるために、引用文献2に記載されたデカップリングの影響をノイズ解析に反映させるようにすることは、当業者が容易に想到し得たものである。

請求項3について

引用文献1には、電源ノイズが周囲の標準セルの出力ピンに大きく影響を出す標準セルに対して、ノイズ低減処理を行うことが記載されている。

整理番号:2037650003 発送番号:090914 発送日:平成18年 3月 7日 6

請求項4について

引用文献1には、概略配線（フロアプランの情報に相当）後にノイズ解析を行い、その結果から各標準セルの電源ノイズの影響の情報、および各信号配線の電流によるノイズの影響を抽出することが記載されている。

請求項7-10、15について

請求項7-10、15に係る発明は、請求項1-4に係る装置の発明を方法の発明、記録媒体の発明として表現するものであるから、請求項1-4に係る発明と同じ理由で進歩性を認めることはできない。

請求項13について

半導体集積回路の設計方法に関しては、請求項1に係る発明と同じ理由で進歩性を認めることはできない。また、設計工程の後に、ウエーハ処理、パッケージングといった製造工程を経て、所望の半導体集積回路を製造することは慣用技術である。

（なお、補正される場合には、補正の根拠となる当初明細書等の記載箇所を意見書に明記されたい。）

引用文献等一覧

1. 特開2002-9158号公報
2. 特開2002-164434号公報

拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

先行技術文献調査結果の記録

・調査した分野 I P C 第 7 版 G 0 6 F 1 7 / 5 0

・出願人への要請

引用文献 は、本願出願人により特許出願され、本願出願前に出願公開されたものです。このような文献は、出願人による適切な請求項の作成に役立つとともに、迅速かつ的確な審査にも資するものと考えられます。今後、出願・審査請求の際には、このような文献に基づいた発明の適切な評価及び先行技術文献情報の開示を一層充実していただくようお願いします。

整理番号:2037650003 発送番号:090914 発送日:平成18年 3月 7日 7/E

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

特許審査第四部 画像処理

平野 崇

TEL. 03 (3581) 1101 内線 3531

FAX. 03 (3501) 0715

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.